

COPY OF PAPERS
ORIGINALLY FILED

PATENT
Docket No. JCLA6974
page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : PO-SHENG SHIH et al. ✓

Application No. : 09/930,847 ✓

Filed : August 14, 2001 ✓

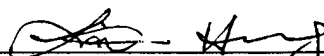
METHOD OF MANUFACTURING THN
For : FILM TRANSISTOR

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

June 21, 2002

(Date)



Jiawei Huang, Reg. No. 43,330

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

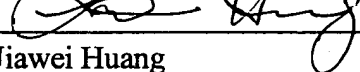
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90102493 filed on February 06, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA6974).

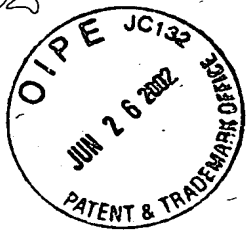
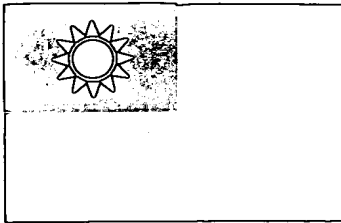
Date: 6/21/2002

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
(949) 660-0761

RECEIVED
JUN 28 2002
TECHNOLOGY CENTER 2000



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 02 月 06 日
Application Date

申請案號：090102493
Application No.

申請人：瀚宇彩晶股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 9 月 6 日
Issue Date

發文字號：09011013213
Serial No.

TECHNOLOGY CENTER 2800

JUN 28 2002

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	薄膜電晶體及其製造方法
	英 文	
二、發明 創作人	姓 名	施博盛
	國 籍	中華民國
	住、居所	新竹市金城一路 64 號 4 樓
三、申請人	姓 名 (名稱)	瀚宇彩晶股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北市民生東路三段 115 號 5 樓
	代 表 人 姓 名	焦佑麒

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱： 薄膜電晶體及其製造方法）

一種薄膜電晶體，包括一超薄多晶矽層形成於一基底上。一閘極結構，包括一閘極層，一閘極氧化層於該閘極層與該超薄多晶矽層之間，及一間隙壁於閘極層側壁。一導電層於超薄多晶矽層與閘極層上，並與間隙壁鄰近。其中形成導電層得方法，是利用矽表面，與間隙壁表面的差別，以選擇性沉積機制形成。例如是原位摻雜 SiGe。

英文發明摘要（發明之名稱：

）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (2)

極氧化層 106 與一多晶矽閘極層 108。多晶矽墊層 102 與超薄多晶矽層 104 構成薄膜電晶體的源/汲極。

於上述之傳統之薄膜電晶體，必須要多一次微影蝕刻步驟，以定義多晶矽墊層 102，而閘極結構的定義也會有對不準的現象發生。

至於，採用超薄通道薄膜電晶體的設計，其有一些優點，例如有較低臨界電壓，較小漏電流，較高載子移動率等等。然而其也有缺點，例如有較大的源/汲極電阻。較大的源/汲極電阻會造成較低的開(On)時的電流。因此降低源/汲極電阻是一重要課題。傳統如上述的方法是一複雜且非自行對準方式。此傳統方法有其缺點之處。

有鑑於此，本發明提供一種超薄通道薄膜電晶體結構，其源/汲極電阻可有效的降低，而製造方法也較為簡單，不需多一次微影蝕刻以定義多晶矽墊層，也不會有於定義閘極時，有對不準的現象發生。

本發明提供一薄膜電晶體結構，包括一超薄多晶矽層形成於一基底上。一閘極結構於多晶矽層上，包括一閘極層，一閘極氧化層於該閘極層與該超薄多晶矽層之間，及一間隙壁於閘極層側壁。一導電層於超薄多晶矽層與閘極層上，並與間隙壁鄰近。

本發明也提供一種形成薄膜電晶體之方法，包括首先提供一絕緣基底。又形成一多晶矽層於該基底上。形成一閘極結構於該多晶矽層上，其中該閘極結構包括一閘極層，一閘介電層於該閘極層與該多晶矽層之間，及一間隙

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

壁於該閘極層之側壁。形成一導電層，於該閘極層與該多晶矽層上。

另外，上述之多晶矽層其厚度約於 200 埃與 500 埃之間。

於上述形成該導電層之該步驟中，又包括利用該間隙壁與矽表面之間的一選擇性沉積機制，沉積該導電層。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A-1B 繪示元件剖面圖，以示傳統形成超薄通道薄膜電晶體之製程剖面圖；以及

第 2A-2C 圖繪示依照本發明，以超薄通道薄膜電晶體之製程剖面圖。

標號說明：

100, 200	基底
102	多晶矽墊
104, 202	超薄多晶矽層
106, 204	閘極氧化層
108, 206	多晶矽閘極
208	間隙壁
210	導電層

五、發明說明(4)

實施例

本發明的主要特徵之一在於利用一選擇性沉積機制，以形成源/汲極，其具有自行對準與減少一次光罩的優點。另外源/汲極上的導墊層，可以是原位摻雜之 SiGe，其可避免一次摻雜與回火製程。

以下舉一實施例，做為本發明之描述。第 2A-2C 圖繪示依照本發明，以超薄通道薄膜電晶體之製程剖面圖。

於第 2A 圖中，首先提供一基底 200。基底 200 是一絕緣體。一多晶矽層 202 形成於基底 200 上。此多晶矽層 202 可做為通道層之用，其厚度約在 200 埃至 500 埃之間，較佳為 250 埃至 350 埃之間，其比一般超薄通道層的 500 埃還薄。一介電層 204 形成於多晶矽層 202 上。一多晶矽閘極層 206 形成於介電層 204 上。多晶矽閘極層 206 例如可以一原位摻雜(in situ doping)方式沉積形成。

於第 2B 圖中，一間隙壁 208 形成於閘極層 206 之側壁。間隙壁 208 的形成可先形成一介電層，覆蓋閘極層 206。再進行回蝕刻得到間隙壁 208。接著，利用閘極層 206 與間隙壁 208 為一罩幕，蝕刻介電層 204，以暴露出部分多晶矽層 202。於閘極層 206 與間隙壁 208 下之介電層 204，即為閘極介電層 204，例如是閘極氧化層。間隙壁 208 的材料較佳例如是 tetra-ethyl-ortho-silicate (TEOS) 氧化物。間隙壁材料的選擇，是基於得到較佳沉積選擇比的考量。特別是對矽物質的沉積選擇比，其功效將可於後續製程中

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

顯現。一般而言，介電材料，例如氧化物與氮化物，都有此沉積選擇特性。

到此，一閘極結構包括一閘極氧化層 204，一閘極層 206，與一間隙壁 208，已形成於多晶矽層 202 上。於上述形成閘極結構 204, 206, 208 的方法，也可依其他傳統方法形成，例如先蝕刻介電層 204 而後才形成間隙壁 208。但是間隙壁 208 的材料較佳為 TEOS 氧化物。

請參考第 2C 圖，本發明特別形成多晶矽層 202，於基底 200 上。當閘極結構形成後，閘極結構側邊的多晶矽層 202 被暴露出。而間隙壁 208 的表面，與閘極層 206 及多晶矽層 202 的矽表面，形成對比表面，其對一些材料，有選擇性沉積的特性，其又稱為選擇性沉積機制。例如，SiGe 材料對於間隙壁 208 材料，有僅沉積於矽表面的趨向。沉積方法可利用化學氣相法 (chemical vapor deposition, CVD)，沉積形成。當 SiGe 沉積時，可也用原位摻雜方式進行，如此可省去離子直接植入，與回火過程。另外，於沉積 SiGe 時，也不需微影光罩，即可自行對準沉積到多晶矽層 202 與閘極層 206 上被暴露的矽表面，形成一導電層 210。除了 SiGe 材料以外，例如鎢及其他金屬，也有選擇性沉積的機制。形成後的導電層 210 可做為薄膜電晶體的源/汲極。導電層 210 的厚度可降低超薄多晶矽，於源汲極的阻值。

另外，如果不採用選擇性沉積的機制，也可採用自行對準矽化物的製程，以形成金屬矽化物。自行對準矽化物

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

的製程可以先沉積一層耐高溫金屬層(refractory metal)，再進行一熱製程，促使耐高溫金屬層與矽反應，得到金屬矽化物。然後再把沒有反應的金屬層去除。

上述中，當導電層 210 形成時，可能在間隙壁 208 會有一些導電層形成，其可再利用一蝕刻製程，例如回蝕刻，將間隙壁 208 的導電層移除。因其量並不多，導電層 210 不會有明顯損耗。

根據上述，本發明至少有一些特徵如下，

1. 本發明形成源/汲極的導電層，是利用選擇性沉積機制形成，其具有自行對準特徵，可減省一次罩幕的形成。

2. 本發明的形成源/汲極的導電層，也可利用自行對準矽化物的形成，具有自行對準特徵。

3. 本發明的形成源/汲極的 SiGe 時，以原位摻雜方式，因此可避免，離子直接植即後續的回火。

4. 本發明在源/汲極上的 SiGe，有較低的阻值。可解決傳統超薄通道薄膜電晶體中，較大源/汲極的電阻。

5. 本發明可於較低溫操作的環境下進行，其有較低的熱預算。

6. 本發明可不需要另外增加罩幕，即可形成源/汲極上的導電厚塊，以有效降低在源/汲極上超薄多晶矽造成的阻值。

7. 本發明較佳選擇的 TEOS 間隙壁，使 SiGe 具有足夠的沉積選擇比。

五、發明說明(7)

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種薄膜電晶體結構，包括：
 - 一絕緣基底；
 - 一多晶矽層，形成於該基底上；
 - 一閘極結構形成於該多晶矽層上，其中該閘極結構包括一閘極層，一閘介電層於該閘極層與該多晶矽層之間，及一間隙壁於該閘極層之側壁；以及
 - 一導電層，形成於該閘極層與該多晶矽層上，且與該間隙壁鄰近。
2. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中該多晶矽層之厚度於 250 埃與 350 埃之間。
3. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中該導電層包括一原位摻雜 SiGe 層。
4. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中該導電層包括一鎢層。
5. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中該導電層包括金屬矽化物。
6. 如申請專利範圍第 1 項所述之薄膜電晶體結構，其中該閘極結構之該間隙壁包括 TEOS 氧化層。
7. 一種形成薄膜電晶體之方法，包括：
 - 提供一絕緣基底；
 - 形成一多晶矽層於該基底上；
 - 形成一閘極結構於該多晶矽層上，其中該閘極結構包括一閘極層，一閘介電層於該閘極層與該多晶矽層之間，及一間隙壁於該閘極層之側壁；以及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

形成一導電層，於該閘極層與該多晶矽層上。

8. 如申請專利範圍第 7 項所述之形成薄膜電晶體之方法，其中該多晶矽層之厚度於 200 埃與 500 埃之間。

9. 如申請專利範圍第 7 項所述之形成薄膜電晶體之方法，其中形成該導電層之該步驟中，包括利用該間隙壁與一矽表面之間的一選擇性沉積機制，沉積該導電層。

10. 如申請專利範圍第 9 項所述之形成薄膜電晶體之方法，其中該導電層包括一原位摻雜 SiGe 層。

11. 如申請專利範圍第 9 項所述之形成薄膜電晶體之方法，其中該導電層包括一鎢層。

12. 如申請專利範圍第 7 項所述之形成薄膜電晶體方法，其中形成一導電層之該步驟中，包括利用一自行對準矽化製程，形成一金屬矽化層。

13. 如申請專利範圍第 7 項所述之形成薄膜電晶體之方法，其中該閘極結構之該間隙壁包括一 TEOS 氧化層。

14. 如申請專利範圍第 7 項所述之形成薄膜電晶體之方法，其中該閘極結構之該閘極層包括一多晶矽層。

15. 如申請專利範圍第 7 項所述之形成薄膜電晶體之方法，其中該閘極結構之該閘極層包括一原位摻雜多晶矽層。

16. 一種形成一薄膜電晶體之方法，包括：
提供一絕緣基底；
形成一超薄導電層於該基底上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

形成一閘極結構於該超薄導電層上，其中該閘極結構包括一閘極層，一閘介電層於該閘極層與該超薄導電層之間，及一間隙壁於該閘極層之側壁；以及

形成一導電層，於該閘極層與該超薄導電層上，其中於該超薄導電層上，該導電層之部分為該薄膜電晶體之源/汲極。

17. 如申請專利範圍第 16 項所述之形成薄膜電晶體之方法，其中該超薄導電層包括原位摻雜 SiGe。

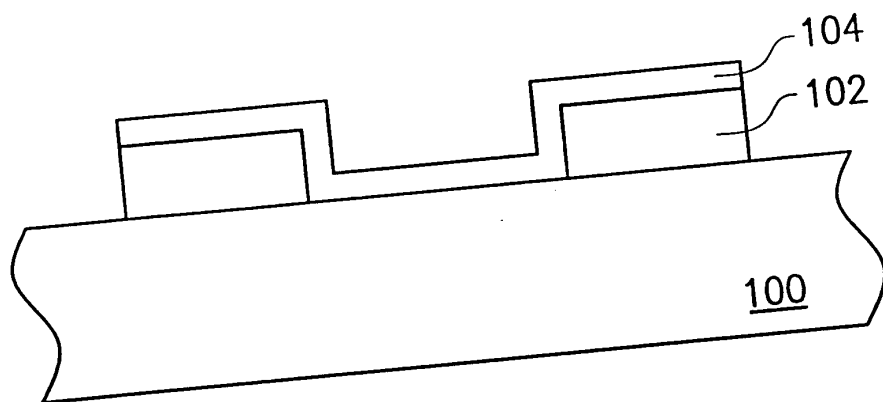
18. 如申請專利範圍第 16 項所述之形成薄膜電晶體之方法，其中該超薄導電層之厚度約於 200 埃與 500 埃之間。

19. 如申請專利範圍第 16 項所述之形成薄膜電晶體之方法，其中形成該導電層之該步驟中，包括利用該間隙壁與一矽表面之間的一選擇性沉積機制，沉積該導電層。

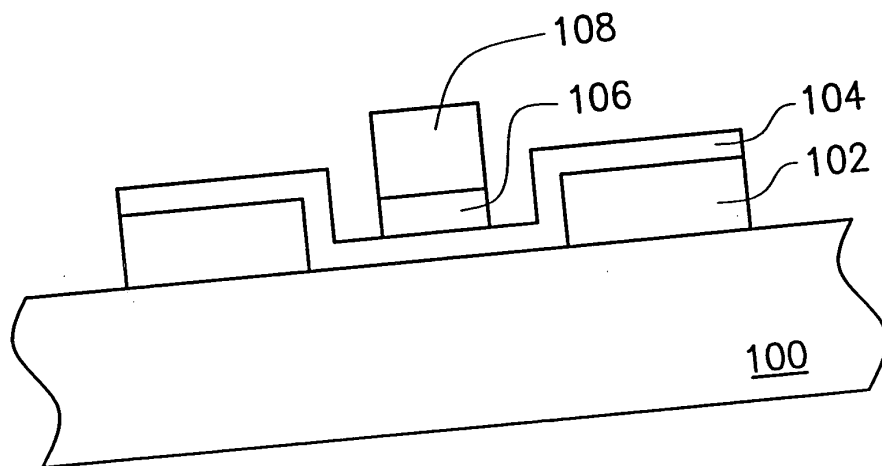
20. 如申請專利範圍第 16 項所述之形成薄膜電晶體之方法，其中該導電層包括一原位摻雜 SiGe 層。

(請先閱讀背面之注意事項再填寫本頁)

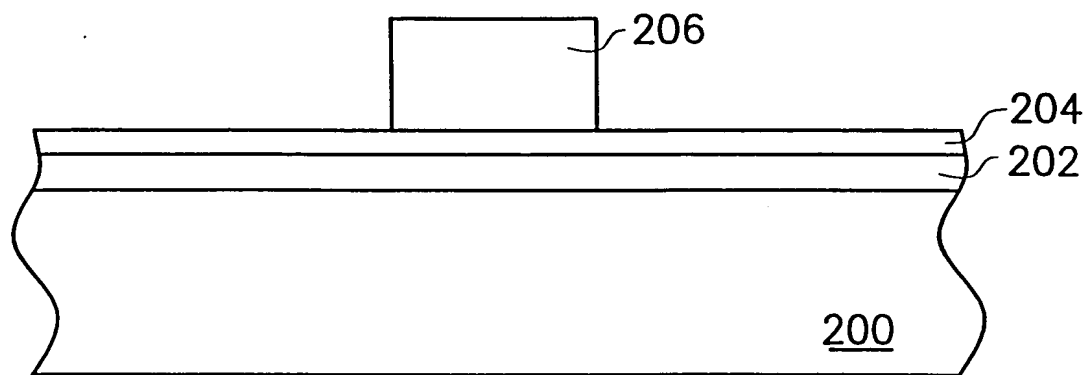
裝
訂
線



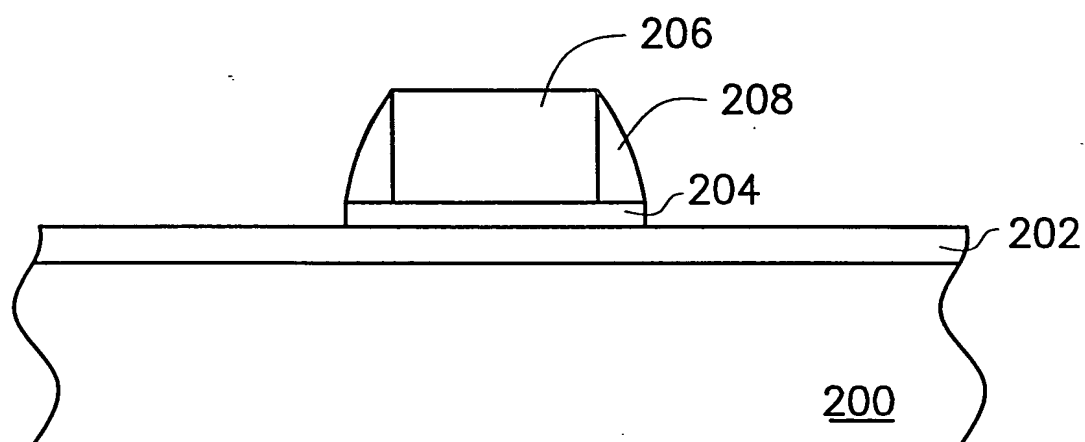
第 1A 圖



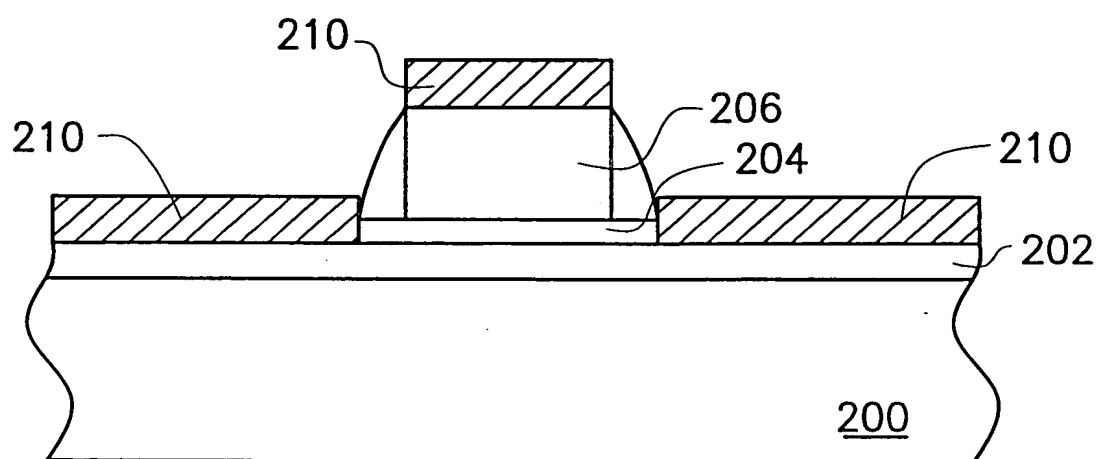
第 1B 圖



第 2A 圖



第 2B 圖



第 2C 圖



Creation date: 11-05-2003
Indexing Officer: TLO - TRUC P LO
Team: OIPEBackFileIndexing
Dossier: 09930847

Legal Date: 07-30-2002

No.	Doccode	Number of pages
1	A...	2
2	CLM	1
3	REM	8

Total number of pages: 11

Remarks:

Order of re-scan issued on